

## 신입사원(전문연구요원) 모집

### 오픈엣지테크놀로지(주)

저희 오픈엣지테크놀로지는 삼성전자 출신이 국내 비메모리반도체 전문가들과 창업한 반도체 IP 설계 전문 스타트업으로서, 세계 최대 반도체 IP 설계 회사인 ARM 과 같은 기업으로 성장하는 것을 목표로, 신경망처리장치 (NPU)와 이를 뒷받침할 고성능 메모리 서브시스템 IP 를 설계하여, 국내외 Automotive 및 AI SoC 고객사에 공급하고 있습니다.

당사는 2017 년 회사 설립 후 2 년 만에 자사에서 설계한 IP 로 영업이익을 내고, 해외 IP Licensing 계약을 통한 IP 기술 수출까지 달성하였습니다. 현재는 4 차 산업혁명시대를 맞아 가장 경쟁이 뜨거운 기술 분야인 엣지컴퓨팅 플랫폼 IP 설계에 집중하고 있으며, 세계에서 유일하게 NPU 와 메모리 서브시스템을 함께 설계할 수 있는 글로벌 경쟁력을 확보하고 있습니다.

엣지컴퓨팅 분야에서 반도체 IP 전문 스타트업으로서 기술 경쟁력을 갖추어 나가고 있는 저희 오픈엣지테크놀로지와 함께 성장해 나갈 신입사원(전문연구요원) 모집에 많은 지원 부탁드립니다.

1. 모집분야: 반도체 메모리 서브시스템 및 신경망처리장치(NPU) IP 설계
2. 자격요건: 관련전공 석사이상
3. 모집인원: 0 명
4. 모집기간: 상시
5. 근무조건: 주 5 일 근무제
6. 급여: 면접 후 결정
7. 홈페이지: [www.openedges.com](http://www.openedges.com)
8. 담당자: 이태영 과장([alex.ty.lee@openedges.com](mailto:alex.ty.lee@openedges.com))
9. 지원 방법: 담당자 e-mail 로 이력서(기술경력사항 포함 자유양식) 송부

## OPENEDGES Job Posting

Openedges Technology, Inc. is a leading IP provider for Smart Computing in the Edges.

We develop two core technologies; 1) NPU (Neural Processing Unit) technology to accelerate deep neural network computations and 2) Memory Subsystem technology to deliver high DRAM bandwidth to demanding master IPs just like NPU.

We are actively looking for senior & junior hardware/software engineers who are interested in making Smart Computing at the Edge a reality.

### 1. AI NPU (Neural Processing Unit)

---

We're looking for talented engineers with any one of the following expertise:

- Architect
  - RISC-V, SIMD/Vector engine
  - Convolution engine, DMA, MMU (memory management unit)
- Software engineer
  - Optimizing Compiler (graph algorithm, memory access optimization), RISC-V Firmware, Linux Device Driver
  - Neural network algorithm design & evaluation
- Hardware engineer
  - RTL design: System Verilog, pipeline design
  - Verification: System Verilog, UVM
- Verification engineer
  - UVM methodology
  - SystemC/C++ based behavior/performance modeling

## 2. Memory Subsystem

---

We're looking for talented engineers with any one of the following expertise:

### 2-1. High-performance DDR Memory Controller

- Architect role
  - DRAM access scheduling algorithm, performance optimization
  - SystemC/C++ based behavior/performance modeling
- Hardware engineer
  - System Verilog, High-speed Digital Logic Design
- Verification engineer
  - System Verilog, UVM methodology

### 2-2. High-speed On-Chip Interconnect (Network-on-Chip)

- Architect
  - Bus Matrix, On-Chip Router, Cache Coherence
  - SystemC/C++ based behavior/performance modeling
- Hardware engineer
  - RTL design: System Verilog, High-speed digital design, Clock-domain crossing
- Verification
  - System Verilog, UVM methodology

### 2-3. High-speed DDR PHY

- Architect role
  - High-speed DDR interface training (LPDDR5, GDDR6, HBM2/3)
  - Mixed-signal design
- Hardware engineer
  - Digital: System Verilog, High-speed Digital Logic Design
  - Analog: PLL, DLL, High-speed I/O, High-speed Clock Distribution, Serdes
- Verification engineer
  - System Verilog, UVM methodology, Analog behavior modeling

### 2-4. Toolkit for Memory Subsystem Generation

- Software engineer
  - Code generation engine: Python, PEG Parser, Template Engine, YAML, Bash
  - Web service: UX/GUI design, Web server (Javascript, NodeJS, ReactJS, ExpressJS, Electron, Jupyter Notebook, Docker)